

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269407
(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 11-068754
(22)Date of filing : 15.03.1999

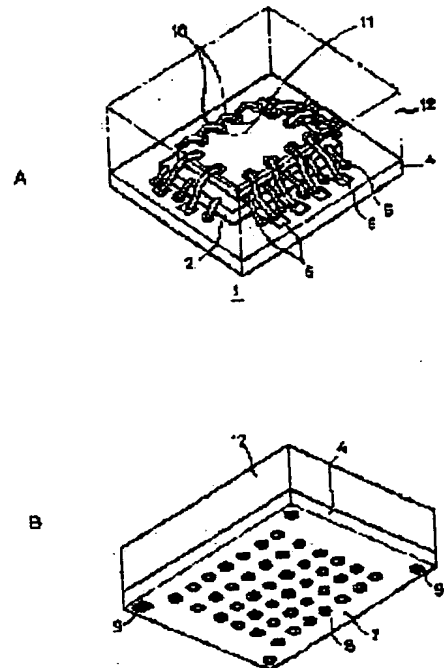
(71)Applicant : SONY CORP
(72)Inventor : HANAI NOBUHIRO

(54) ELECTRONIC MODULE AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize integration in a small area and to enable highly reliable connection by stacking a plurality of semiconductor chips on a substrate.

SOLUTION: An electronic module 1 is formed by stacking a first semiconductor chip 2 and a second semiconductor chip 3 and by arranging the stacked two semiconductor chips on an interposer substrate 4. The surrounding is filled by encapsulated resin 12. Pads 11 are formed on the upper surface of the first and second semiconductor chips, respectively, and the pads are electrically connected by wires, respectively, to the lands 6 formed on the upper surface of the interposer substrate 4. On the lower surface of the substrate 4, thin circular electrode terminals 8 are formed, and a solder resist 7 is formed on the part other than the terminals 8. The resist 7 functions to prevent neighboring electrode terminals 8 from being short-circuited with solder when the module is soldered to a mother substrate such as a printed board. In peripheral edge areas of the lower surface of the substrate 4, auxiliary terminals 9, only one of which is square-shaped to visually mark the direction of the electronic module 1, are formed to enhance the solder connection strength.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application
Tokukai No. 2000-269407/2000 (P2000-269407A)

A. Relevance of the above-identified Document

This document has relevance to Claims 1, 2, 15 and 16 of present application.

B. Translation of the Relevant Passages of the Document

see the attached English Abstract.

[CLAIMS]

[Claim 5]

The electronic module as set forth in Claim 1, wherein:

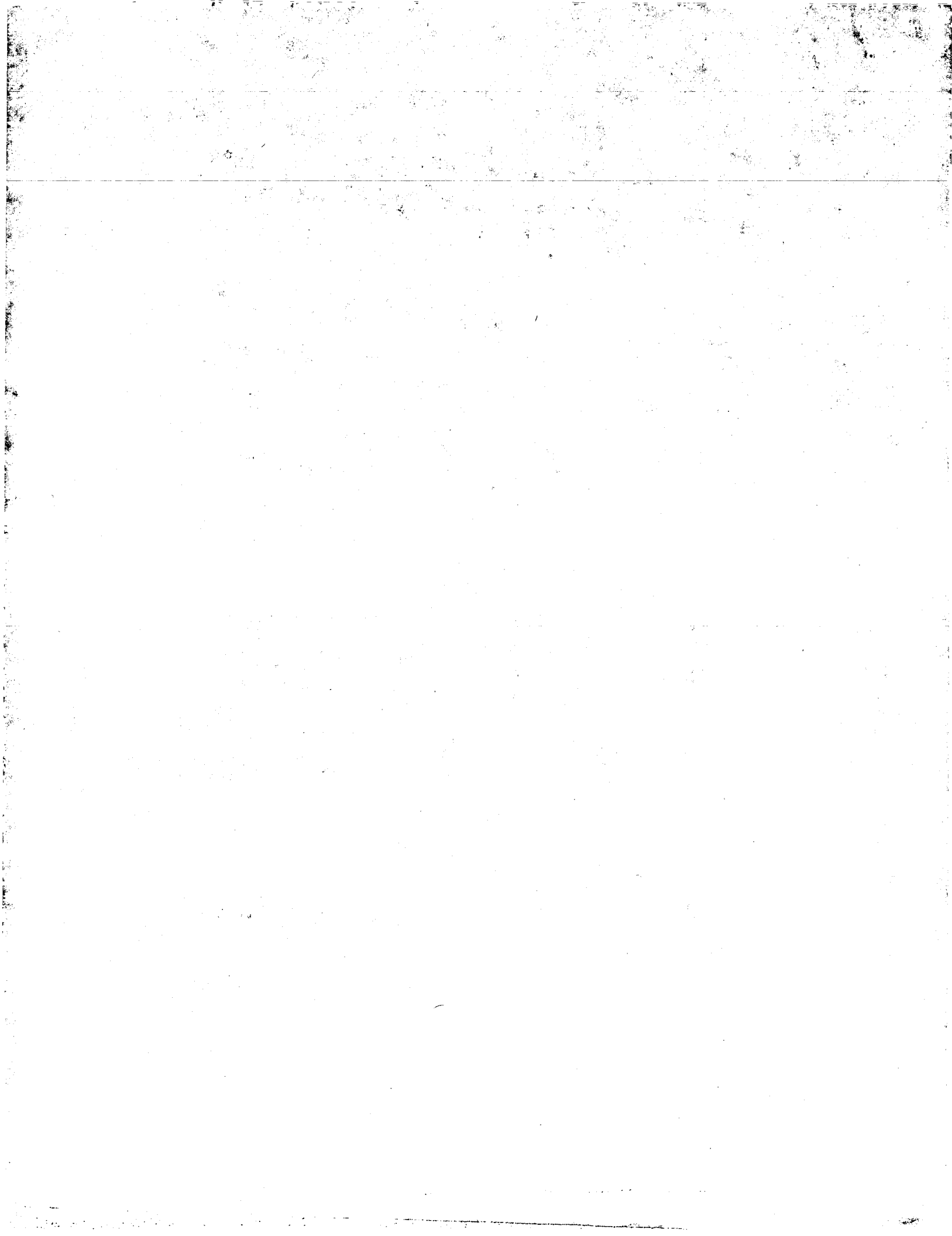
an upper semiconductor chip of the plurality of the semiconductor chips thus layered is layered on a lower semiconductor chip of the plurality of the semiconductor chips in such a manner that at least part of the upper semiconductor is protruded out of the lower semiconductor.

[Claim 6]

The electronic module as set forth in Claim 5, wherein:

a spacer is formed below part of the upper semiconductor, the part being protruded from the lower semiconductor.

[Claim 7]



The electronic module as set forth in Claim 5, wherein:

a resin is filled below part of the upper semiconductor, the part being protruded from the lower semiconductor.

[Claim 8]

The electronic module as set forth in Claim 5, wherein:

a paste is filled below part of the upper semiconductor, the part being protruded from the lower semiconductor.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269407

(P2000-269407A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.

識別記号

F I

テーマコード (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平11-68754

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 花井 信洋

岐阜県美濃加茂市本郷町9丁目15番22号

ソニー美濃加茂株式会社内

(74) 代理人 100080883

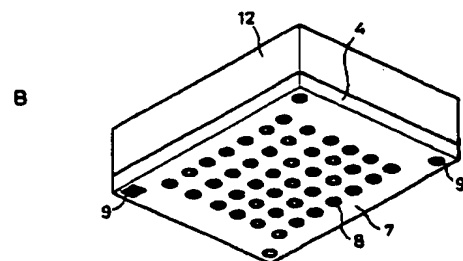
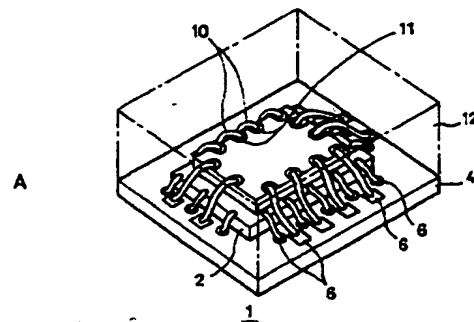
弁理士 松隈 秀盛

(54) 【発明の名称】 電子モジュール及び電子機器

(57) 【要約】

【課題】 面積が少なく小型集積化が図れ、かつ接続の信頼性も確保することができる電子モジュール及び電子機器を提供する。

【解決手段】 基板4上に複数の半導体チップ2、3が積層された電子モジュール1を構成する。また、この構成の電子モジュール1を搭載した電子機器100を構成する。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に、複数の半導体チップが積層されて成ることを特徴とする電子モジュール。

【請求項2】 外部との接続を行う電極端子が、全て上記基板の裏面内に配置されていることを特徴とする請求項1に記載の電子モジュール。

【請求項3】 上記電極端子が薄い板状であることを特徴とする請求項2に記載の電子モジュール。

【請求項4】 上記複数の半導体チップのうち、上記基板の直上の半導体チップが該基板とフリップチップ接続されていることを特徴とする請求項1に記載の電子モジュール。

【請求項5】 積層された上記複数の半導体チップにおいて、上の半導体チップが下の半導体チップから少なくとも一部がはみ出して積層されていることを特徴とする請求項1に記載の電子モジュール。

【請求項6】 上記上の半導体チップが上記下の半導体チップからはみ出した部分の下にスペーサが形成されていることを特徴とする請求項5に記載の電子モジュール。

【請求項7】 上記上の半導体チップが上記下の半導体チップからはみ出した部分の下に樹脂が充填されていることを特徴とする請求項5に記載の電子モジュール。

【請求項8】 上記上の半導体チップが上記下の半導体チップからはみ出した部分の下にペーストが充填されていることを特徴とする請求項5に記載の電子モジュール。

【請求項9】 上記複数の半導体チップに並列して、上記基板上に他の電子部品が接続されていることを特徴とする請求項1に記載の電子モジュール。

【請求項10】 基板上に複数の半導体チップが積層された電子モジュールを搭載してなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップが基板に接続された電子モジュール及びこの電子モジュールを備えた電子機器に係わる。

【0002】

【従来の技術】従来、半導体チップのパッケージにおいて、QFP(Quad Flat Package)構造やSOP(Small Outline Package)構造のパッケージが用いられていた。これらの構造では、それぞれ離れて配置された半導体チップとリードフレームとの間をワイヤで接続しているため、その分マザー基板への実装面積が大きくなる。

【0003】

【発明が解決しようとする課題】そこで、最近半導体チップと同等或いはわずかに大きいCSP(チップ・サイズ(スケール)・パッケージ)構造が採用されてきている。

2

【0004】このCSP構造を採ることにより、マザー基板への実装面積を大幅に低減することができるが、接続端子数は従来とほぼ同じで減少しないため、マザー基板の配線ルールによって厳しい仕様が要求され、その結果コストアップや品質低下の問題が生じることがある。

【0005】この問題に対して、パッケージ内に複数の半導体チップを形成してMCM(マルチチップモジュール)化することにより、回路的に関連の強い半導体チップ間の配線をパッケージ内に集約させて、マザー基板との接続点数を減らすことが可能である。

【0006】内部に2つの半導体チップを配置した電子モジュールの断面図を図16に示す。この電子モジュール51は、第1の半導体チップ52及び第2の半導体チップ53が、インターポーザー基板54上に並列して配置され、その周囲を封止樹脂62で埋めて構成される。

【0007】第1の半導体チップ52及び第2の半導体チップ53は、共にダイペースト55を介してインターポーザー基板54に接合されている。

【0008】また、第1の半導体チップ52及び第2の半導体チップ53の上面には、それぞれパッド61が形成され、このパッド61とインターポーザー基板54の上面に形成されたランド56との間がワイヤ60を介して電気的に接続されている。

【0009】インターポーザー基板54の下面には、薄い板状の電極端子58が形成され、電極端子58以外の部分にはソルダーレジスト57が形成されている。また、インターポーザー基板54の外縁部には補強端子59が形成されて、電子モジュール51と図示しないマザー基板との半田接続を補強している。

【0010】インターポーザー基板54の上面のランド56と、下面の電極端子58との間には図示しないが配線が形成されて電気的に接続される。この配線は、例えばインターポーザー基板54を貫通したスルーホールによって構成することができる。

【0011】しかしながら、この場合には、半導体チップの数が增多ることにより、電子モジュール51の面積が増加する。

【0012】また、電子モジュール51が大面積になることにより、マザー基板との接続の信頼性が低下する等の問題もある。特に、メモリ素子の半導体チップを使用する場合には、端子数の少ない割にチップが大きく、この傾向が顕著になる。

【0013】上述した問題の解決のために、本発明においては、面積が少なく小型集積化が図れ、かつ接続の信頼性も確保することができる電子モジュール及び電子機器を提供するものである。

【0014】

【課題を解決するための手段】本発明の電子モジュールは、基板上に複数の半導体チップが積層されて成るものである。

50

(3)

4

3
【0015】本発明の電子機器は、基板上に複数の半導体チップが積層されて成る電子モジュールを搭載したものである。

【0016】上述の本発明によれば、基板上に複数の半導体チップが積層されていることにより、複数の半導体チップを基板上に並列に配置した場合と比較して、電子モジュールの面積を低減することができる。

【0017】

【発明の実施の形態】本発明は、基板上に複数の半導体チップが積層されて成る電子モジュールである。

【0018】また本発明は、上記電子モジュールにおいて、外部との接続を行う電極端子が、全て基板の裏面に配置されている構成とする。

【0019】また本発明は、上記電子モジュールにおいて、電極端子が薄い板状である構成とする。

【0020】また本発明は、上記電子モジュールにおいて、複数の半導体チップのうち、基板の直上の半導体チップが基板とフリップチップ接続されている構成とする。

【0021】また本発明は、上記電子モジュールにおいて、積層された複数の半導体チップにおいて、上の半導体チップが下の半導体チップから少なくとも一部がはみ出して積層されている構成とする。

【0022】また本発明は、上記電子モジュールにおいて、上の半導体チップが下の半導体チップからはみ出した部分の下にスペーサが形成された構成とする。

【0023】また本発明は、上記電子モジュールにおいて、上の半導体チップが下の半導体チップからはみ出した部分の下に樹脂が充填されている構成とする。

【0024】また本発明は、上記電子モジュールにおいて、複数の半導体チップに並列して、基板上に他の電子部品が接続されている構成とする。

【0025】本発明は、基板上に複数の半導体チップが積層された電子モジュールを搭載して成る電子機器である。

【0026】図1及び図2は本発明の一実施の形態として、電子モジュールの概略構成図を示す。図1Aは電子モジュールの表面側の斜視図、図1Bは裏面側の斜視図、図2は断面図をそれぞれ示す。

【0027】この電子モジュール1は、第1の半導体チップ2と第2の半導体チップ3が積層されて、この積層された2つの半導体チップがインターポザー基板4上に配置され、その周囲を封止樹脂12で埋めて構成される。

【0028】第1の半導体チップ2は、ダイペースト5を介してインターポザー基板4に接合されている。第2の半導体チップ3は、同様にダイペースト5を介して第1の半導体チップ2に接合されている。この第2の半導体チップ3は、縦・横が共に第1の半導体チップ2より小さくなっていて、第1の半導体チップ2の主面内に

収まる大きさとなっている。

【0029】また、第1の半導体チップ2及び第2の半導体チップ3の上面には、それぞれパッド11が形成され、このパッド11とインターポザー基板4の上面に形成されたランド6との間がワイヤ10を介して電氣的に接続されている。

【0030】インターポザー基板4の下面には、薄い略円板状の電極端子8が形成され、電極端子8以外の部分には溶剤レジスト7が形成されている。溶剤レジスト7は、プリント基板等のマザー基板と半田により接続を行う際に、隣接する電極端子8間を半田が短絡しないようにする作用も有している。また、下面の外縁部には補強端子9が形成されて、電子モジュール1と図示しないマザー基板との半田接続を補強している。この補強端子9は、図1Bに示すようにインターポザー基板4の4隅に形成され、うち1つのみ四角形状とすることにより、電子モジュール1の向きを示す目印としている。

【0031】インターポザー基板4の上面のランド6と、下面の電極端子8との間には図示しないが配線が形成されて電氣的に接続される。この配線は、例えばインターポザー基板4を貫通したスルーホールによって構成することができる。

【0032】電子モジュール1の各部の材料は、特に限定しないが、例えば次のような材料を用いることができる。インターポザー基板4は、例えばポリイミドやガラスエポキシを用いることができる。ダイペースト5は、ダイボンディングに通常用いられる材料、例えばエポキシ樹脂中に無機フィラーを充填した絶縁ペーストを用いることができる。ランド6は、例えばパターン表面に金メッキをすることにより形成することができる。ワイヤ10は、例えば金ワイヤにより形成することができる。パッド11は、例えばアルミにより形成することができる。封止樹脂12には、例えばエポキシ樹脂やその他熱硬化樹脂を用いることができる。

【0033】上述の本実施の形態の電子モジュール1によれば、インターポザー基板4上に2つの半導体チップ2、3を積層して構成したことにより、図16に示した2つの半導体チップ52、53を横に並べた電子モジュール51よりも面積が低減される。そして、2つの半導体チップ2、3を積層していることにより、単位面積当たりの集積度が向上している。

【0034】また、前述のQFPのように外側にリードフレームを引き出す代わりに、電極端子8を全てインターポザー基板4の下面に設けているので、リードフレームを引き出した場合よりも面積が低減されている。

【0035】マザー基板の反りや衝撃等により、マザー基板と電子モジュールとの接続状態に及ぶ影響は、電子モジュールの面積が大きいほど顕著になる。本実施の形態によれば、電子モジュール1の面積が低減されるた

5

め、この影響を小さくすることができ、従ってマザー基板との接続の信頼性をより向上させることができる。

【0036】本実施の形態の電子モジュール1は、例えば次のようにして製造することができる。まず、複数の電子モジュール1に対応する面積のインターポザー基板4を用意する。

【0037】このインターポザー基板4上に、第1の半導体チップ2をダイペースト5を介してマウントし、加熱してダイペースト5を熱硬化させることで第1の半導体チップ2を固定する。次に、第1の半導体チップ2上面のパッド11と、インターポザー基板4上面のランド6とを、ワイヤ10で接続する。

【0038】次に、第2の半導体チップ3を同様にダイペースト5を介して第1の半導体チップ2上にマウントする。続いて、第2の半導体チップ2上面のパッド11と、インターポザー基板4上面のランド6とワイヤ10で接続する。このとき、下の第1の半導体チップ2のワイヤ10に接触しないように第2の半導体チップ3をマウントすると共に、第2の半導体チップ3のワイヤ10が下段の第1の半導体チップ1やそのワイヤ10に接触しないように、ワイヤの10ループ形状を制御する。

【0039】次に、全てのワイヤ10が隠れる厚さの封止枠（図示せず）をインターポザー基板4に張り付ける。

【0040】その後、封止枠内の半導体チップ2、3とワイヤ10が隠れるように、封止樹脂12を充填する。さらに、真空脱泡した後、封止樹脂12を熱硬化させる。

【0041】最後に、インターポザー基板4をダイサーにて単体即ち各電子モジュール1に切り分けて、上述の電子モジュール1を形成することができる。製造した電子モジュール1に対して、必要な電気チェックを行う。

【0042】尚、上述の製造方法において、インターポザー基板4は、複数の電子モジュール1に対応した面積のものであったが、封止樹脂12は各電子モジュール1に対応して分離して設けてもよいし、インターポザー基板4と同様に複数の電子モジュール1に対応した面積に形成してもよい。封止樹脂12を各電子モジュール1に対応して分離する場合には、上述の封止枠を各電子モジュール1に対応した格子状にして、格子の中にそれぞれ封止樹脂12を充填する。この場合、ダイサーで切断するのは封止枠とインターポザー基板4となる。封止樹脂12をインターポザー基板4と同様に複数の電子モジュール1に対応した面積に形成する場合には、封止枠をインターポザー基板4の外縁にのみ略ロ字形状にして、封止樹脂12をインターポザー基板4上に一体に充填する。この場合、ダイサーで切断するのは封止樹脂12とインターポザー基板4となる。

【0043】また、上述の製造方法では、第1の半導体

(4)

6

チップ2にワイヤ10を接続してから第2の半導体チップ3を取り付けたが、先に2つの半導体チップ2、3を取り付けてから各半導体チップにワイヤ10を接続するようにしてもよい。

【0044】尚、製造方法については、その他の従来公知の技術を適用することが可能である。

【0045】尚、本実施の形態の電子モジュール1では、インターポザー基板4は1層の基板の両面に端子が形成されていたが、その他の構成、例えば1層の基板の上面のみに端子が形成された構成、2層以上の基板を積層してその層間にも配線を通す構成等を探ることができる。

【0046】また、電極端子8は、上述の薄い板状の他、いわゆるBGA（ボールグリッドアレイ）のようにボール状にしてもよい。上述のように電極端子8を薄い板状にすると、ボール状にした場合より、電子モジュール1をマザー基板に接続したときの高さを低くすることができる利点を有する。

【0047】上述の実施の形態の電子モジュール1では、上段の第2の半導体チップ3が下段の第1の半導体チップ2の主面に収まる構成であったが、上段の半導体チップ3が下段の半導体チップから一部はみ出すように構成することもできる。その場合の実施の形態を次に示す。

【0048】本発明の他の実施の形態の電子モジュールの概略構成図を図3に示す。図3Aは電子モジュールの斜視図、図3Bは平面図を示す。尚、図3Bではワイヤ10と基板4上のランド6は省略している。図3A及び図3Bに示すように、この電子モジュール21は、下段の長方形の第1の半導体チップ2上に、略正方形の第2の半導体チップ3を積層した構成であり、上段の第2の半導体チップ3の一部が下段の第1の半導体チップ2からはみ出している。以下、このはみだしている部分をオーバーハング部3aとする。

【0049】この電子モジュール21では、第2の半導体チップ3のパッド11の1端子分がオーバーハング部3aとなっている。そして、パッド11及びワイヤ10は、各半導体チップ2、3のオーバーハング部3a以外の2辺に形成されている。

【0050】尚、その他の構成は、先の実施の形態の電子モジュール1と同様であるので、同一符号を付して重複説明を省略する。

【0051】尚、半導体チップのパッド（端子）にワイヤ10をボンディングするには、通常超音波と圧力を印加して熱圧着させており、オーバーハング部3aが振動することで、超音波が減衰し、ボンディング強度が低下、ないしはボンディングができないことがあるが、この電子モジュール21のようにオーバーハング部3aが1端子分程度なら、問題ないことが確認されている。

【0052】本実施の形態の電子モジュール21によれ

(5)

8

7
ば、オーバーハング部3aを形成することにより、上下の半導体チップ2、3が異形のもので積層することが可能となり、目的に合った最適の半導体チップを選択して電子モジュールを構成することが可能になる。

【0053】ところで、オーバーハング部を大きくした場合、即ち上段の半導体チップが下段の半導体チップから大きくはみ出して積層させた場合に、上段の半導体チップのオーバーハング部にパッドを形成してワイヤを接続しようとする、オーバーハング部の振動により超音波が減衰するため、ワイヤの接続が不安定になる。従って、オーバーハング部3aを余り大きくすることができなかった。このように、オーバーハング部を設けた場合でも、まだ上段の半導体チップの設計条件に制約がある。

【0054】そこで、上段の半導体チップの設計条件の自由度をさらに上げる目的で、オーバーハング部の隙間を埋めるようにする。実際には、オーバーハング部の下の隙間に、スペーサを入れたり或いは樹脂やペースト等を充填したりすることにより、隙間を埋めておいてからボンディングを行う。その場合の電子モジュールの実施の形態を次に示す。

【0055】図4は、スペーサを設けた電子モジュールの概略構成図を示す。図4Aは電子モジュールの斜視図を示し、図4Bは複数の半導体チップの積層方法を斜視図で示す。尚、図4ではパッド11に接続するワイヤと基板4上のランドは省略している。また図4Cと図4Dは製造工程を平面図及び断面図で示す。

【0056】この電子モジュール22は、下段の第1の半導体チップ2と比較して、上段の第2の半導体チップ3の寸法及び面積が充分大きくなっており、上段の第2の半導体チップ3がはみ出したオーバーハング部3aの下の隙間に、下段の第1の半導体チップ2と略同じ厚さのスペーサ13を入れて構成されている。

【0057】そして、図4Bに示すように、インターポザー基板4上の、第1の半導体チップ2の両側にそれぞれスペーサ13を配置してから、上段の第2の半導体チップ3を接合する。

【0058】尚、図4では、下段の第1の半導体チップ2のボンディング方法を示していないが、上段の第2の半導体チップ3の下から見えている部分にパッドを設ければ、ワイヤによるボンディングを行うことができる。また、後述する実施の形態のように、フリップチップ接続を用いることも可能である。

【0059】半導体チップのパッドへワイヤをボンディングする際には、通常超音波と圧力をかけ熱圧着させている。本実施の形態の電子モジュール22によれば、オーバーハング部3aへのボンディングにおいて、上段の第2の半導体チップ3にかかる圧力をスペーサ13で受けて上段の第2の半導体チップ3の振動を防ぐことができるので、より安定した確実なボンディングが可能とな

る。

【0060】尚、スペーサ13を入れる代わりに、オーバーハング部の下の隙間に樹脂やペーストを充填するようしてからボンディングしても同様の効果が得られる。

【0061】この樹脂やペーストは、例えば印刷により、ダイペーストと同時に供給することも可能である。例えば図4Cに示すように、基板上に樹脂やペーストを印刷するときに、スペーサ13となる部分とダイペースト13'となる部分とをそれぞれ同時に印刷より形成する。次に、図4Dに示すように、ダイペースト13'となる部分上に第1の半導体チップ2を押しつけて、第1の半導体チップ2の上面とスペーサ13の上面が同じ高さになるようにする。この面の上に図4Bに示すように第2の半導体チップ3が取り付けられる。

【0062】次に、本発明のさらに他の実施の形態として、フリップチップ接続を用いた電子モジュールの概略構成図(断面図)を図5に示す。本実施の形態の電子モジュール31では、下段の第1の半導体チップ2をフリップチップ接続によりインターポザー基板4と接続したものである。

【0063】図5に示すように、この電子モジュール31では、下段の第1の半導体チップ2下面のパッド11にスタッドバンプ14が形成され、このスタッドバンプ14がインターポザー基板4上面のランド15に配置されて、さらに半田16により周囲を覆われて電気的に接続されている。

【0064】また、図5では、インターポザー基板4の上面のランド6と下面の電極端子8との間の配線となるスルーホール17を一部図示している。スタッドバンプ14に接続されたランド15についても同様に配線により電極端子8と接続される。

【0065】第1の半導体チップ2のスタッドバンプ14以外の部分とインターポザー基板4との間の隙間には、封止樹脂12が充填されている。尚、この隙間に充填される樹脂は、電子モジュール31全体の封止樹脂12と同一の樹脂に限定されない。

【0066】上段の第2の半導体チップ3は、前述の実施の形態の電子モジュール1と同様に、その上面のパッド11とインターポザー基板4上面のランド6とをワイヤ10で接続することにより、電気的に接続されている。その他の構成は、前述の実施の形態の電子モジュール1と同様であるので、同一符号を付して重複説明を省略する。

【0067】尚、スタッドバンプ14の代わりに、メッキまたは蒸着後ウエットバックした半田バンプ等、その他の種類のバンプを形成するようにしてもよい。

【0068】本実施の形態の電子モジュール31によれば、基板4上に複数の半導体チップ2、3を積層することにより、先の実施の形態と同様に電子モジュール

9

31の面積を低減することができる。そして、本実施の形態では、特に半導体チップをフェイスダウンで実装するフリップチップ接続を用いているため、全てワイヤ接続でボンディングを行う場合に比べて、ワイヤ10が少なく済み、ワイヤ10が減る分のスペースを詰めることができるので、電子モジュール31を確実に小さくすることができる。

【0069】また、ワイヤ接続だけの場合には、複数の半導体チップ2、3と接続される基板4表面のランド6を全て半導体チップ2、3の外側まで出して、それから基板4に形成された配線で内側に持ってくる必要がある。これに対して、下段の半導体チップ2をフリップチップ接続にした場合には、半導体チップ2の下面でボンディングされるため、その分基板配線を短くすることができる。また、上段の半導体チップ3と接続するランド6からの基板配線との引き回しの制約も少なくなる。

【0070】上述の本実施の形態の電子モジュール31は、例えば次のようにして製造することができる。尚、前述の実施の形態の電子モジュール1の製造と共通する工程は説明を省略する。

【0071】まず、予め第1の半導体チップ2下面のパッド11に、ワイヤを用いることによりスタッドバンプ14を形成しておく。また、インターポーザー基板4上面の、フリップチップ接続用のランド15に、スクリーン印刷でクリーム状の半田16を供給する。

【0072】次に、第1の半導体チップ2を、そのスタッドバンプ14がある面を下にしてマウントを行う。このとき、各スタッドバンプ14がそれぞれ該当するランド15に乗るように位置合わせをする。

【0073】続いて、リフロー炉を通して半田16による接続を行い、洗浄によりフラックスを除去し、乾燥させる。

【0074】次に、第1の半導体チップ2の一辺に、封止樹脂例えばエポキシ系樹脂を供給し、第1の半導体チップ2とインターポーザー基板4との間の隙間に浸透させた後、加熱硬化させる。

【0075】次に、上段の第2の半導体チップ3をダイペースト5を介してマウントし、加熱してペーストを熱硬化させることでチップを固定する。そして、第2の半導体チップ3のパッド11とインターポーザー基板4のランド6とをワイヤ10で接続する。

【0076】その後は、先の実施の形態で説明したと同様の工程を経て、本実施の形態の電子モジュール31を製造することができる。

【0077】上述の実施の形態ではフリップチップ接続を半田16を用いて行ったが、その他の接続方法を採用した実施の形態を次に示す。

【0078】図6は、電子モジュールの概略断面図である。この電子モジュール32では、先の実施の形態の電子モジュール31で用いた半田16の代わりに、接合材

(6)

10

18を用いてフリップチップ接続を行った構成である。

【0079】この接合材18としては、異方性導電フィルム(ACF)、絶縁性の接着剤となる樹脂を用いることができる。絶縁性の接着剤となる樹脂としては、例えばエポキシ樹脂等の熱硬化性樹脂、ポリイミドとの熱可塑性樹脂を用いることができる。そして、第1の半導体チップ2とインターポーザー基板4との間の隙間には、接合材18が充填されて接合がなされる。

【0080】いずれの材料を接合材18に用いた場合も、同様にインターポーザー基板4上に接合材18を形成した後、第1の半導体チップ2を加熱加圧して押しつけることにより、スタッドバンプ14とランド15とを接続される。

【0081】ただし、異方性導電フィルムを接合材18に用いた場合には、フィルム中の微細な導電性粒子がスタッドバンプ14とランド15の間に挟まれるようにして電氣的に接続させる。一方、樹脂を接合材18に用いた場合は、接続部の周囲に樹脂が逃げるようにしてスタッドバンプ14とランド15との間には樹脂が残らないようにする。

【0082】異方性導電フィルム(ACF)を接合材18に用いた場合には、例えば次のように製造を行う。インターポーザー基板4の第1の半導体チップ2を乗せる位置に、第1の半導体チップ2のサイズと同等以上の異方性導電フィルムを貼り付け、カバーフィルムを剥がす。

【0083】次に、第1の半導体チップ2を、そのスタッドバンプ14が形成された面を下にして、各バンプ14が該当するランド15に乗るように位置合わせをしてマウントする。続いて、加熱加圧して、バンプ14とランド15とを接触させると共に異方性導電フィルムを硬化させる。

【0084】その後は上段の第2の半導体チップ3を、ダイペースト5を介してマウントし、以降は前述の実施の形態と同様にして電子モジュールを製造することができる。

【0085】また、樹脂を接合材18として用いた場合は、例えば次のようにして製造を行う。インターポーザー基板4の第1の半導体チップ2を載せる位置に、樹脂ペーストを供給する。尚、樹脂の供給方法は、ディスペンサによって行う他、スクリーン印刷によって行うことも可能である。

【0086】次に、第1の半導体チップ2を、そのスタッドバンプ14が形成された面を下にして、各バンプ14が該当するランド15に乗るように位置合わせをしてマウントする。続いて、加熱して樹脂ペーストを熱硬化させることにより第1の半導体チップ2を固定する。

【0087】その後は上段の第2の半導体チップ3を、ダイペースト5を介してマウントし、以降は前述の実施の形態と同様にして電子モジュール32を製造すること

(7)

11

ができる。

【0088】次に、本発明のさらに他の実施の形態として、フリップチップ接続を用いたさらに他の電子モジュールの概略構成図を図7及び図8に示す。図7Aは電子モジュールの斜視図を示し、図7Bは複数の半導体チップの積層方法を示す斜視図であり、図8Bは電子モジュールの断面図を示す。

【0089】この電子モジュール33は、下段の第1の半導体チップ2の上面から、上段の第2の半導体チップ3の4辺がはみ出している構成である。下段の第1の半導体チップ2をワイヤ接続とすると、半導体チップ2のパッドを上面に形成する必要がある、ワイヤ接続をするために上段の半導体チップ3を4辺ではみ出すように構成することができないが、下段の第1の半導体チップ2に前述のフリップチップ接続を用いることにより、このように上段の第2の半導体チップ3の4辺がはみ出した構成とすることができる。

【0090】従って、上段の第2の半導体チップ3の設計条件の自由度が向上する。また、図7に示すように、オーバーハング部の幅が小さい場合には、スペーサ等を設けなくても接続が可能である。

【0091】尚、オーバーハング部の幅を大きく取りたい場合には、前述の電子モジュール22と同様に、オーバーハング部の下にスペーサ13を入れるか或いは樹脂を充填しておく。

【0092】次に、本発明のさらに他の実施の形態として、3つの半導体チップを積層した電子モジュールの概略構成図（斜視図）を図9に示す。

【0093】この電子モジュール34は、3つの半導体チップを積層させた構成である。即ち、第1の半導体チップ2と第2の半導体チップ3と第3の半導体チップ20とが積層されて構成されている。第1の半導体チップ2は、フリップチップ接続によりインターポザー基板4と接続されている。第2の半導体チップ3は、ワイヤ10によりインターポザー基板4と電気的に接続されている。そして、第2の半導体チップ3は、第1の半導体チップ2より2辺がはみ出している。

【0094】そして、第3の半導体チップ20は、第2の半導体チップ3上にダイペース値5を介して接合され、ワイヤ10によりインターポザー基板4と電気的に接続されている。この第3の半導体チップ20は、第2の半導体チップ3から一部が後退した大きさとなっていて、第2の半導体チップ3上面のワイヤ10を接続するためのパッド11付近を露出させている。これにより、第2の半導体チップ3と第3の半導体チップ20のそれぞれにワイヤ10を接続することができる。

【0095】本実施の形態の電子モジュール34によれば、3つの半導体チップ2、3、20を有していても、これらが積層されていることにより、電子モジュール34の占有する面積は小さくて済み、単位面積当たりの集

12

積度がさらに向上する。

【0096】本発明のさらに他の実施の形態として、3つの半導体チップを積層した他の電子モジュールの概略構成図を図10に示す。図10Aは電子モジュールの斜視図を示し、図10Bは複数の半導体チップの積層方法を斜視図で示す。

【0097】この電子モジュール35では、半導体チップを3つ有して構成されている。そして、そのうち2つの半導体チップ、即ち第1の半導体チップ41及び第2の半導体チップ42が共に並列してインターポザー基板4の上面にフリップチップ接続され、残りの第3の半導体チップ43がこれら2つの半導体チップ41、42上に積層された構成である。

【0098】第3の半導体チップ43は、第1の半導体チップ41及び第2の半導体チップ42の上面に、ダイペースを介して接合されている。また、上面のパッド11とインターポザー基板4上面のランド6とがワイヤ10で電気的に接続されている。

【0099】3つの半導体チップ41、42、43は、それぞれ主面の寸法が異なっており、第1の半導体チップ41は主面が長方形であり、第2の半導体チップ42は主面が略正方形であり、第3の半導体チップ43は主面が長方形でありかつ下段の2つの半導体チップが収まる大きさとなっている。

【0100】このように、それぞれ大きさや形状が異なる半導体チップ41、42、43を積層して、電子モジュール35を構成することもできる。これにより、各種の半導体チップを組み合わせても、容易に面積の小さい電子モジュールを構成することができる。

【0101】図11は、スペーサを設けた電子モジュールの他の構成における半導体チップの積層方法を示す斜視図である。この電子モジュール36は、下段の第1の半導体チップ2の略2倍の面積の第2の半導体チップ3を上段に載せる場合であり、スペーサ13の大きさが下段の第1の半導体チップ2と略同一面積となっている。尚、図示しないが下段の半導体チップ2は、フリップチップ接続により基板4と接続されている。

【0102】このように構成することにより、大きく面積が異なる半導体チップ2、3を積層することができる。

【0103】図12は、スペーサを設けた電子モジュールのさらに他の構成における半導体チップの積層方法を示す斜視図である。この電子モジュール37は、下段の第1の半導体チップ41及び第2の半導体チップ42を間隔を置いて並列に配置して、これら2つの半導体チップ41、42の間にスペーサ13を入れている。そして、2つの半導体チップ41、42及びスペーサ13上に、上段の第3の半導体チップ43を載置するようにしている。尚、図示しないが下段の半導体チップ41、42は、フリップチップ接続により基板4と接続されてい

13

る。

【0104】即ち、この電子モジュール37は、図10に示した電子モジュール35にさらにスペーサ13を設けた構造になっている。スペーサ13を設けたことにより、上段の半導体チップ43のパッド11の配置の自由度が高まると共に、ボンディングの際の圧力をスペーサ13に吸収させることができる利点を有している。

【0105】上述の各実施の形態では、電子部品としては半導体チップのみを有して電子モジュールが構成されていたが、複数の半導体チップと一般の電子部品とを組み合わせて、より機能的な電子モジュールを構成することもできる。その場合を次に示す。

【0106】図13及び図14は、本発明のさらに別の実施の形態として、半導体チップの他の電子部品を混載した電子モジュールの概略構成図を示す。図13は斜視図、図14は図13のX-Xにおける断面図を示す。

【0107】この電子モジュール40は、インターポザー基板4上に第1の半導体チップ2及び第2の半導体チップ3が積層されている。下段の第1の半導体チップ2は、先に図5に示した電子モジュール31と同様に、フリップチップ接続によりインターポザー基板4上面のランド15に接続され、接続部のスタッドバンプ14の周囲が半田16により接続されている。

【0108】本実施の形態の電子モジュール40では、特に2つの半導体チップ2、3の周囲のインターポザー基板4上に、一般の電子部品19が配置接続されている。この電子部品19は、上段の第2の半導体チップ3とを電気的に接続するワイヤ10の付近に配置されている。また、電子部品19の下のランド15は、図示したスルーホール17を介してインターポザー基板4下面の電極端子8と接続されている。

【0109】その他の構成は、先に図5に示した電子モジュール31と同様であるので、重複説明を省略する。

【0110】そして、この一般の電子部品19としては、小さいチップ状の素子や抵抗素子、コンデンサ等を配置することが可能である。半導体チップ2、3に比して面積が比較的小さい電子部品19であれば、このように搭載することが可能である。

【0111】さらに、本実施の形態の電子モジュール40では、フリップチップ接続の接続部の周囲に半田16を用いていることにより、容易に一般の電子部品19との混載が可能になりモジュール化することができる。

【0112】尚、半田接続を使用しない場合には、一般の電子部品19の実装が別工程になる。このとき、下段の半導体チップ2を先に基板4に付けると、一般の電子部品19用の半田印刷が困難になってしまう。一方、一般の電子部品19の半田接続を先に行うと、薄い半導体チップの実装するときに電子部品が邪魔になってしまう。このため、周りの電子部品19を半導体チップ2、3から遠ざけて配置することや、下段の半導体チップ2

(8)

14

の実装前に一般部品19を実装した後のごみや余分なフラックスを洗浄する作業等が必要になる。

【0113】従って、半田接続を用いた方が、他の一般の電子部品19と混載した電子モジュール40を容易に製造することができる。

【0114】尚、電子部品19が下段の半導体チップ2と比較して薄い場合には、上段の半導体チップ3をオーバーハングさせて、そのオーバーハング部の下に電子部品19を配置する構成も可能である。この場合はオーバーハング部の下にスペーサ等を配置できないので、ワイヤ10用のパッド11は、主としてオーバーハング部以外の部分に配置する。

【0115】本実施の形態の電子モジュール40によれば、半導体チップ2、3以外に一般の電子部品19も一括してリフローで半田接続することができ、半導体チップ周辺の回路を取り込んで、機能的な電子モジュール40を形成することができる。

【0116】本実施の形態の電子モジュール40は、例えば次のようにして製造することができる。尚、先の実施の形態と同様の工程は重複説明を省略する。

【0117】インターポザー基板4上面のフリップチップ接続用のランド15に、スクリーン印刷でクリーム状の半田16を供給する。

【0118】次に、一般の電子部品19の接続用のランド15に、スクリーン印刷でクリーム状の半田を供給する。このとき、先に印刷したフリップチップ接続用の半田16がつぶれないように、メタルスクリーンの基板4側をエッチングにより削って逃がしておく。

【0119】続いて、インターポザー基板4上に、位置合わせして一般の電子部品19をマウントする。

【0120】その後は、第1の半導体チップ2、第3の半導体チップ3を順次マウントし、以下前述の実施の形態と同様にして、電子モジュール40を製造することができる。

【0121】尚、本発明において、複数の半導体チップの種類の組み合わせは任意であり、同種の半導体チップ同士を組み合わせても、異種の半導体チップ同士を組み合わせてもよい。

【0122】半導体チップの種類としては、ROM、SRAM、DRAM、フラッシュメモリ等のメモリ素子、CPUやMPU等の制御素子・演算素子、或いはその他の素子を用いることが可能である。

【0123】ここで、上述の各実施の形態のように複数の半導体チップが積層されて構成された電子モジュールを搭載することにより、図15に示すような携帯電話等の電子機器100を構成することができる。そして、上述のように面積が小さくかつ複数の半導体チップを有して集積度の高い電子モジュール101を搭載しているので、小型でかつ高機能の電子機器100を構成することができる。また、上述のように電子モジュール101の

15

信頼性が高いため、電子機器100の信頼性も高くなる。

【0124】本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0125】

【発明の効果】上述の本発明によれば、複数の半導体チップを積層することにより、複数の半導体チップを平面的に並べる場合と比較して、著しく電子モジュールの面積を低減することができる。従って、単位面積当たりの集積度を向上させることができる。

【0126】そして、電子モジュールの面積が低減されるため、マザー基板の反りや衝撃等によりマザー基板と電子モジュールとの接続状態に及ぶ影響を小さくすることができ、マザー基板との接続の信頼性をより向上させることができる。

【0127】また、基板の直上の下段の半導体チップをフリップチップ接続する構成としたときには、その上に載せる上段の半導体チップの大きさの制約がなくなり、設計の自由度が向上する。さらに、下段の半導体チップのワイヤ接続のためのスペースが不要になるため、電子モジュールの面積をより小さくすることができる。また、基板配線を短くすると共に、基板配線の配置の制約を低減することができる。

【0128】また、上の半導体チップが下の半導体チップから少なくとも一部がはみ出して積層された構成としたときには、上下の半導体チップが異形のもでも積層することが可能となり、目的に合った最適の半導体チップを選択して電子モジュールを構成することが可能になる。

【0129】さらに、上の半導体チップが下の半導体チップからはみ出した部分の下に、スペーサが形成されているか或いは樹脂やペーストが充填されている構成としたときには、ボンディングの際にかかる圧力を受けることができると共に、超音波が逃げる（減衰する）のを防止するという働きを有し、より安定した確実なボンディングが可能となる。

【0130】また、外部との接続を行う電極端子が全て基板の裏面内に配置されている構成としたときには、リードフレームを引き出した場合よりも面積を低減することができる。

【0131】また、複数の半導体チップに並列して、基板上に他の電子部品が接続されている構成としたときには、より機能的な電子モジュールを構成することができる。

【0132】この場合に、さらに基板の直上の半導体チップを半田接続を用いたフリップチップ接続としたときには、他の電子部品と一括して半田接続を行うことにより、容易に他の電子部品と半導体チップを混載した電子モジュールを製造することができる。

(9)

16

【0133】また、複数の半導体チップが積層されて構成された電子モジュールを搭載して電子機器を構成することにより、小型でかつ高機能の電子機器を構成することができる。そして、電子モジュールの信頼性が高いため、電子機器の信頼性も高くなる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の電子モジュールの概略構成図である。

A 表面側の斜視図である。

B 裏面側の斜視図である。

【図2】図1の電子モジュールの断面図である。

【図3】本発明の他の実施の形態の電子モジュールの概略構成図である。

A 斜視図である。

B 平面図である。

【図4】スペーサを設けた電子モジュールの概略構成図である。

A 斜視図である。

B 複数の半導体チップの積層方法を示す斜視図である。

C, D 図4Aの電子モジュールの製造工程を示す平面図及び断面図である。

【図5】フリップチップ接続を用いた電子モジュールの概略構成図（断面図）である。

【図6】フリップチップ接続を用いた他の電子モジュールの概略構成図（断面図）である。

【図7】フリップチップ接続を用いたさらに他の電子モジュールの概略構成図である。

A 斜視図である。

B 複数の半導体チップの積層方法を示す斜視図である。

【図8】図7の電子モジュールの断面図である。

【図9】3つの半導体チップを積層した電子モジュールの概略構成図（斜視図）である。

【図10】3つの半導体チップを積層した他の電子モジュールの概略構成図である。

A 斜視図である。

B 複数の半導体チップの積層方法を示す斜視図である。

【図11】スペーサを設けた電子モジュールの他の構成における半導体チップの積層方法を示す斜視図である。

【図12】スペーサを設けた電子モジュールのさらに他の構成における半導体チップの積層方法を示す斜視図である。

【図13】半導体チップの他の電子部品を混載した電子モジュールの概略構成図（斜視図）である。

【図14】図13の電子モジュールの断面図である。

【図15】電子機器に電子モジュールを搭載した状態を示す図である。

【図16】内部に2つの半導体チップを配置した電子モ

(10)

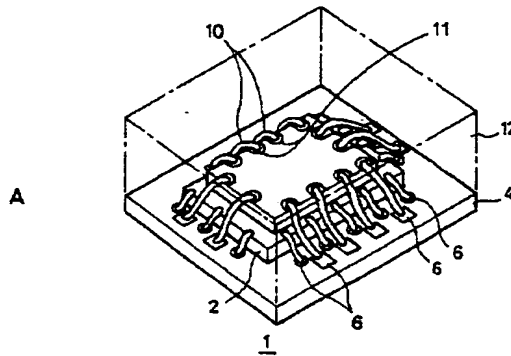
17

ジュールの断面図である。

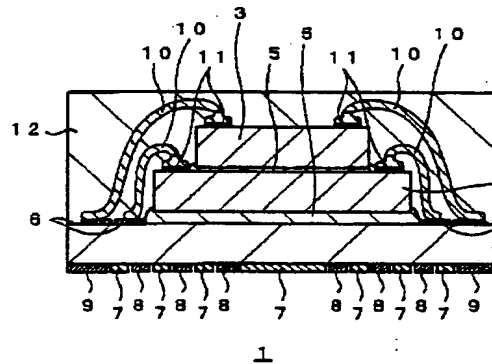
【符号の説明】

1, 21, 22, 31, 32, 33, 34, 35, 36, 37, 40, 101 電子モジュール、2, 41 第1の半導体チップ、3, 42 第2の半導体チップ、4 インターポザー基板、5 ダイペースト、6, 15

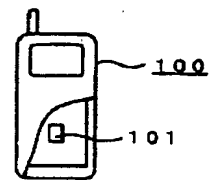
【図1】



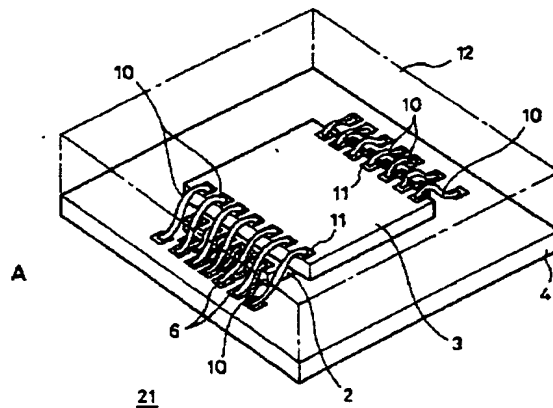
【図2】



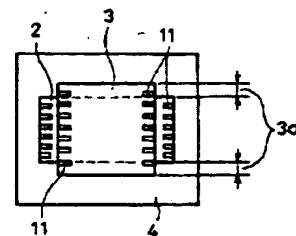
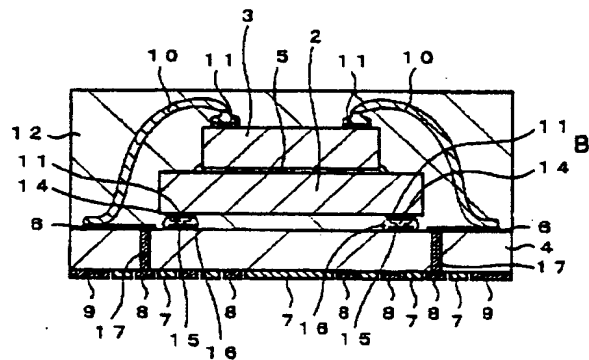
【図15】



【図3】

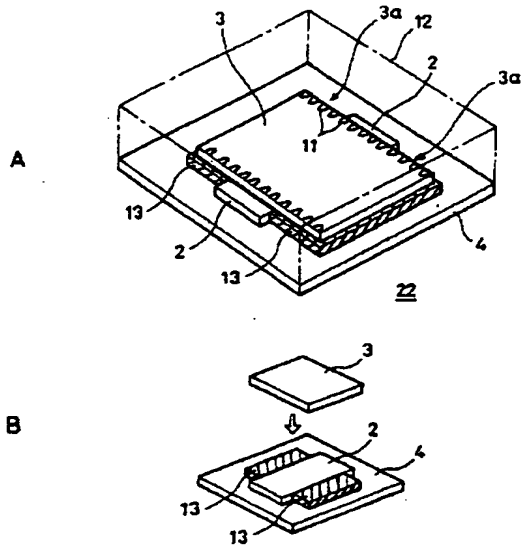


【図5】

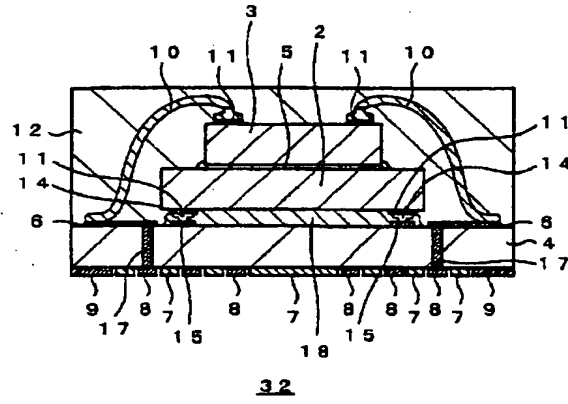


(11)

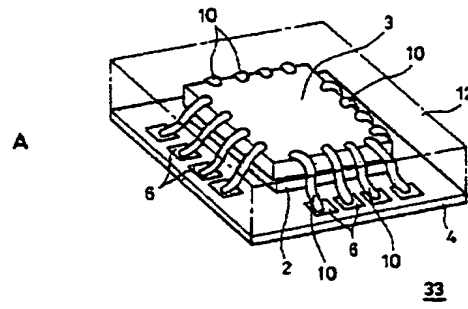
【図4】



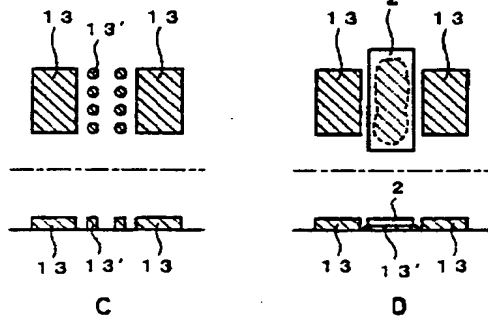
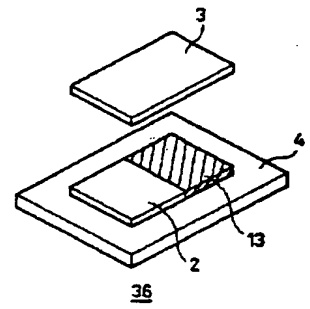
【図6】



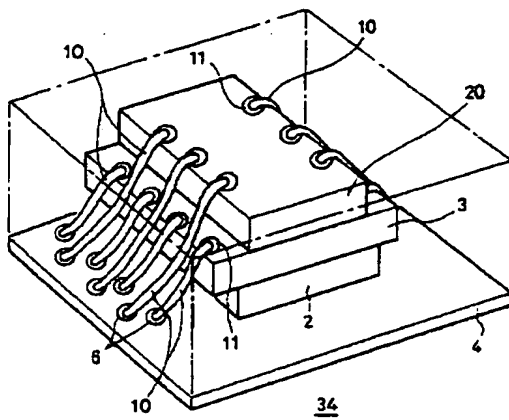
【図7】



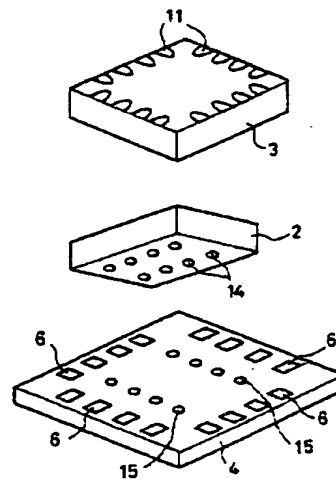
【図11】



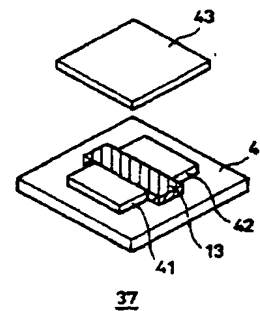
【図9】



B

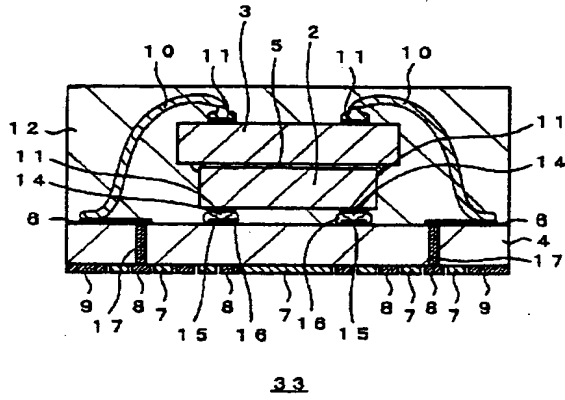


【図12】

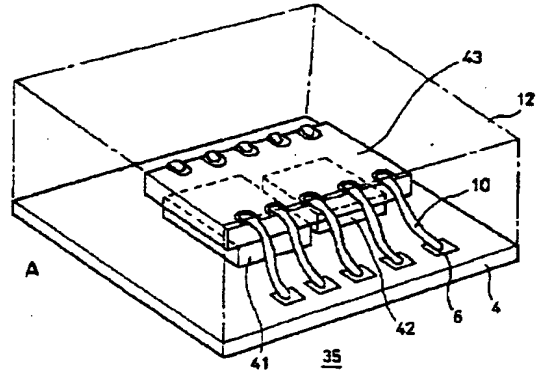


(12)

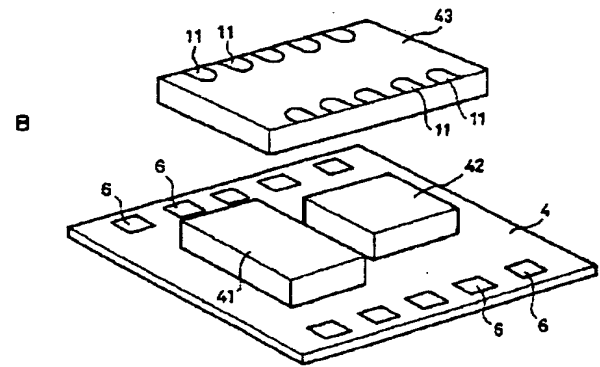
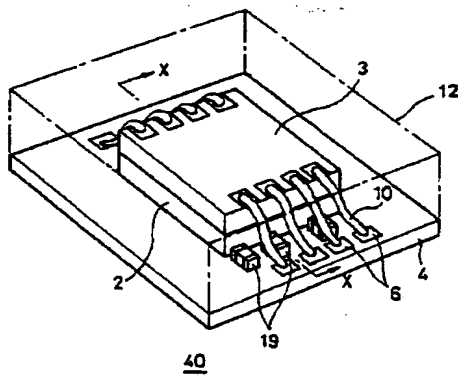
【図8】



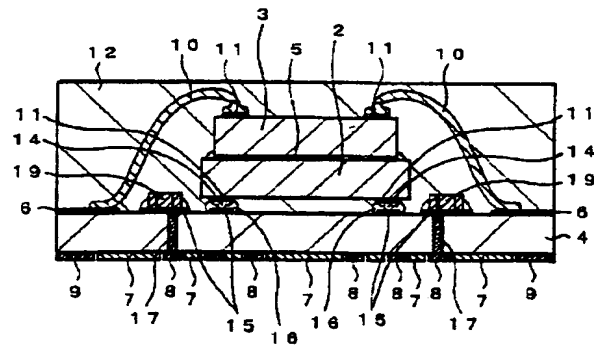
【図10】



【図13】



【図14】



(13)

【図16】

